

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Seiichi TOMITA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT INCLUDING WAVEFORM-GENERATING CIRCUIT
HAVING PULSED WAVEFORM-GENERATING FUNCTION

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-189665	June 28, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月28日

出 願 番 号

Application Number:

特願2002-189665

[ST.10/C]:

[JP2002-189665]

出 願 人

Applicant(s):

東芝エルエスアイシステムサポート株式会社
株式会社東芝

2002年12月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3102581

【書類名】 特許願

【整理番号】 A000202295

【提出日】 平成14年 6月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体集積回路

【請求項の数】 14

【発明者】

 【住所又は居所】 神奈川県川崎市幸区堀川町580番地 東芝エルエスアイシステムサポート株式会社内

 【氏名】 富田 成一

【特許出願人】

 【識別番号】 598010562

 【氏名又は名称】 東芝エルエスアイシステムサポート株式会社

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

 【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9807823

【包括委任状番号】 9705037

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】

デッドタイムを設定するための値を記憶する第 1 記憶回路と、

パルス幅を設定するための値を記憶する第 2 記憶回路と、

前記第 1 記憶回路から出力された前記デッドタイムを設定するための値と、前記第 2 記憶回路から出力された前記パルス幅を設定するための値とを加算し、加算値を出力する加算回路と、

経過時間をカウントし、前記経過時間を示すカウント値を出力するタイマカウンタと、

前記タイマカウンタから出力された前記カウント値と、前記加算器から出力された前記加算値とを比較する第 1 比較回路と、

前記第 1 比較回路による比較結果に基づいて、パルス波形を生成する波形生成回路と、

を具備することを特徴とする半導体集積回路。

【請求項 2】 前記波形生成回路は、前記第 1 比較回路により前記カウント値と前記加算値との一致が確認されたとき、前記パルス波形の前縁を設定することを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】 前記タイマカウンタがカウントする前記経過時間に対してカウントの周期を設定するための設定値を記憶する第 3 記憶回路と、

前記第 3 記憶回路から出力された前記設定値と前記タイマカウンタから出力された前記カウント値とを比較する第 2 比較回路と、

をさらに具備し、

前記波形生成回路は、前記第 2 比較回路により前記設定値と前記カウント値との一致が確認されたとき、前記パルス波形の後縁を設定することを特徴とする請求項 2 に記載の半導体集積回路。

【請求項 4】 前記タイマカウンタがカウントする経過時間の前記カウント値を制御する制御回路をさらに具備し、

前記制御回路は、前記第 2 比較回路により前記設定値と前記カウント値との一致が確認されたとき、前記タイマカウンタによる前記カウント値をリセットしてカウントを再スタートさせることを特徴とする請求項 3 に記載の半導体集積回路。

【請求項 5】

デッドタイムを設定するための値を記憶する第 1 記憶回路と、

パルス幅を設定するための値を記憶する第 2 記憶回路と、

前記第 1 記憶回路から出力された前記デッドタイムを設定するための値と、前記第 2 記憶回路から出力された前記パルス幅を設定するための値とを加算し、加算値を出力する加算回路と、

パルス波形の前縁を設定するための前縁値を記憶する第 3 記憶回路と、

前記加算回路から出力された前記加算値と、前記第 3 記憶回路から出力された前記前縁値のうちのいずれかの値を選択する選択回路と、

経過時間をカウントし、前記経過時間を示すカウント値を出力するタイマカウンタと、

前記タイマカウンタから出力された前記カウント値と、前記選択回路により選択された、前記加算値及び前縁値のいずれかの値とを比較する第 1 比較回路と、

前記第 1 比較回路による比較結果に基づいて、前記パルス波形を生成する波形生成回路と、

を具備することを特徴とする半導体集積回路。

【請求項 6】 前記波形生成回路は、前記第 1 比較回路により、前記カウント値と、前記加算値及び前縁値のいずれかの値との一致が確認されたとき、前記パルス波形の前縁を設定することを特徴とする請求項 5 に記載の半導体集積回路。

【請求項 7】 前記タイマカウンタがカウントする前記経過時間に対してカウントの周期を設定するための設定値を記憶する第 3 記憶回路と、

前記第 3 記憶回路から出力された前記設定値と前記タイマカウンタから出力された前記カウント値とを比較する第 2 比較回路と、

をさらに具備し、

前記波形生成回路は、前記第 2 比較回路により前記設定値と前記カウント値との一致が確認されたとき、前記パルス波形の後縁を設定することを特徴とする請求項 6 に記載の半導体集積回路。

【請求項 8】 前記タイマカウンタがカウントする経過時間の前記カウント値を制御する制御回路をさらに具備し、

前記制御回路は、前記第 2 比較回路により前記設定値と前記カウント値との一致が確認されたとき、前記タイマカウンタによる前記カウント値をリセットしてカウントを再スタートさせることを特徴とする請求項 7 に記載の半導体集積回路。

【請求項 9】

経過時間をカウントし、前記経過時間を示すカウント値を出力するタイマカウンタと、

前記タイマカウンタがカウントする前記経過時間に対してカウントの周期を設定するための設定値を記憶する第 1 記憶回路と、

第 1 パルスのデューティを設定するための設定値を記憶する第 2 記憶回路と、

前記第 1 記憶回路から出力された、前記カウントの周期を設定するための設定値と、前記第 2 記憶回路から出力された、デューティを設定するための設定値とを用いて演算を行い、デューティを示す値を求める演算回路と、

前記タイマカウンタから出力された前記カウント値と、前記演算回路から出力された前記デューティを示す値とを比較する第 1 比較回路と、

前記第 1 比較回路による比較結果に基づいて、前記第 1 パルスを生成する第 1 波形生成回路と、

を具備することを特徴とする半導体集積回路。

【請求項 10】

デッドタイムを設定するための値を記憶する第 3 記憶回路と、

前記演算回路から出力された前記デューティを示す値と、前記第 3 記憶回路から出力された前記デッドタイムを設定するための値とを加算し、加算値を出力する加算回路と、

前記タイマカウンタから出力された前記カウント値と、前記加算回路から出力

された前記加算値とを比較する第 2 比較回路と、

前記第 2 比較回路による比較結果に基づいて、第 2 パルスを生成する第 2 波形生成回路と、

をさらに具備することを特徴とする請求項 9 に記載の半導体集積回路。

【請求項 1 1】 前記第 1 波形生成回路は、前記第 1 比較回路により、前記カウント値と、前記デューティを示す値との一致が確認されたとき、前記第 1 パルスの後縁を設定することを特徴とする請求項 9 に記載の半導体集積回路。

【請求項 1 2】 前記第 2 波形生成回路は、前記第 2 比較回路により、前記カウント値と、前記加算値との一致が確認されたとき、前記第 2 パルスの前縁を設定することを特徴とする請求項 1 0 または 1 1 に記載の半導体集積回路。

【請求項 1 3】 前記第 1 記憶回路から出力された前記設定値と前記タイマカウンタから出力された前記カウント値とを比較する第 3 比較回路をさらに具備し、

前記第 2 波形生成回路は、前記第 3 比較回路により前記設定値と前記カウント値との一致が確認されたとき、前記第 2 パルスの後縁を設定することを特徴とする請求項 1 2 に記載の半導体集積回路。

【請求項 1 4】 前記タイマカウンタがカウントする経過時間の前記カウント値を制御する制御回路をさらに具備し、

前記制御回路は、前記第 3 比較回路により前記設定値と前記カウント値との一致が確認されたとき、前記タイマカウンタによる前記カウント値をリセットしてカウントを再スタートさせることを特徴とする請求項 1 3 に記載の半導体集積回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、半導体集積回路に関するものであり、特にデッドタイムやデューティを可変できるパルス波形生成機能を有する波形生成回路装置に関するものである。

【 0 0 0 2 】

【従来の技術】

以下に、図 1 2、図 1 3、及び図 1 4 を参照して、従来の波形生成回路装置について説明する。

【0 0 0 3】

図 1 2 に、従来の波形生成回路装置のブロック図を示す。

【0 0 0 4】

この図 1 2 に示す波形生成回路装置（従来例 1）は、デッドタイムを付加する機能を有している。この波形生成回路装置は、デッドタイムカウンタ 1 0 1 によってデッドタイム時間を測定し、波形を生成している。

【0 0 0 5】

前記波形生成回路装置において、デッドタイムを有する波形を生成するときのタイミングチャートを図 1 3 に示す。

【0 0 0 6】

まず、デッドタイムカウンタ 1 0 1 及びタイマカウンタ 1 0 2 のタイマを共にスタートさせる。その後、デッドタイムカウンタ 1 0 1 のタイマ値と、デッドタイム比較用レジスタ 1 0 3 に記憶された値との一致により、図 1 3 に示すように、パルス 1 を立ち上げる。これと同時に、デッドタイムカウンタ 1 0 1 はタイマのカウントを停止する。続いて、タイマカウンタ 1 0 2 とパルス幅比較用レジスタ 1 0 4 が一致すると、パルス 1 を立ち下げる。これと同時に、デッドタイムカウンタ 1 0 1 をスタートさせる。

【0 0 0 7】

次に、デッドタイムカウンタ 1 0 1 のタイマ値と、デッドタイム比較用レジスタ 1 0 3 に記憶された値との一致により、図 1 3 に示すように、パルス 2 を立ち上げる。パルス 2 を立ち上げた後、デッドタイムカウンタ 1 0 1 は、再びタイマを停止する。その後、タイマカウンタ 1 0 2 と周期比較用レジスタ 1 0 3 との一致により、パルス 2 を立ち下げる。これと同時に、デッドタイムカウンタ 1 0 1 及びタイマカウンタ 1 0 2 のタイマを共にスタートさせる。以上の動作を繰り返す。

【0 0 0 8】

【発明が解決しようとする課題】

しかしながら、従来の波形生成回路装置では、2つのカウンタが必要である。さらに、周期を共通にして2種類以上のパルス波形を生成する場合、波形生成の自由度がなく、パルス波形が固定されてしまう。波形制御の自由度を得ようとした場合、デッドタイムカウンタ101、デッドタイム制御回路105、及び比較回路106は、デッドタイム設定のための専用回路になってしまう。これらにより、図14に示す波形生成回路装置（従来例2）のように回路規模が増大してしまう。

【0009】

また、例えば、デューティを50%に固定とし、周期変調の波形を連続変化させる場合を考える。図8に示すように、周期を変更する際に、従来の前記波形生成回路装置では、毎回、パルス幅をCPUにより計算させてパルス幅設定レジスタ107に設定する必要がある。この場合、CPUの処理負荷が重く、高速のタイマカウンタによる周期変調動作ではレスポンスの遅さが問題となる。

【0010】

そこでこの発明は、前記課題に鑑みてなされたものであり、回路規模を増大させることなく、パルス波形生成における波形生成の自由度を向上でき、さらに周期変調動作でもCPUの処理負荷が軽く、レスポンスが遅くならない半導体集積回路を提供することを目的とする。

【0011】

【課題を解決するための手段】

前記目的を達成するために、この発明に係る半導体集積回路は、デッドタイムを設定するための値を記憶する第1記憶回路と、パルス幅を設定するための値を記憶する第2記憶回路と、前記第1記憶回路から出力された前記デッドタイムを設定するための値と、前記第2記憶回路から出力された前記パルス幅を設定するための値とを加算し、加算値を出力する加算回路と、経過時間をカウントし、前記経過時間を示すカウント値を出力するタイマカウンタと、前記タイマカウンタから出力された前記カウント値と、前記加算器から出力された前記加算値とを比較する第1比較回路と、前記第1比較回路による比較結果に基づいて、パルス波

形を生成する波形生成回路とを具備することを特徴とする。

【 0 0 1 2 】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態の半導体集積回路について説明する。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【 0 0 1 3 】

〔第 1 の実施の形態〕

まず、この発明の第 1 の実施の形態の半導体集積回路について説明する。図 1 は、第 1 の実施の形態の半導体集積回路の構成を示すブロック図である。

【 0 0 1 4 】

図 1 に示すように、タイマカウンタ制御回路 1 1 は、タイマカウンタ 1 2 に接続されている。タイマカウンタ 1 2 の出力は、比較回路 1 3、1 4、1 5、1 6 にそれぞれ入力されている。デッドタイム設定レジスタ 1 7 の出力は、デッドタイム比較用レジスタ 1 8 を介して比較回路 1 6 に入力されている。前記デッドタイム設定レジスタ 1 7 の出力は、また、加算器 1 9 に入力されている。

【 0 0 1 5 】

パルス幅設定レジスタ 2 0 の出力は、パルス幅比較用レジスタ 2 1 を介して比較回路 1 4 に入力されている。前記パルス幅設定レジスタ 2 0 の出力は、また、前記加算器 1 9 に入力されている。加算器 1 9 の出力は、パルス 2 の前縁比較用レジスタ 2 2 を介して比較回路 1 5 に入力されている。タイマ周期設定レジスタ 2 3 の出力は、タイマ周期比較用レジスタ 2 4 を介して比較回路 1 3 に入力されている。

【 0 0 1 6 】

前記比較回路 1 4、1 6 の出力は、パルス 1 生成回路 2 5 に入力されている。前記比較回路 1 3、1 5 の出力は、パルス 2 生成回路 2 6 に入力されている。比較回路 1 3 の出力は、また、タイマカウンタ制御回路 1 1 に入力されている。

【 0 0 1 7 】

次に、第 1 の実施の形態の半導体集積回路の動作を説明する。

【 0 0 1 8 】

前記半導体集積回路において、デッドタイムを有する波形を生成するときのタイミングチャートを図 2 に示す。

【 0 0 1 9 】

まず、タイマカウンタ制御回路 1 1 は、タイマカウンタ 1 2 のタイマをスタートさせる（スタート命令）。タイマカウンタ 1 2 は、スタートしたタイマの経過時間を示すタイマ値を比較回路 1 6 に出力する。また、デッドタイム設定レジスタ 1 7 は、予め設定されたデッドタイムの期間を示すデッドタイム値を記憶しており、このデッドタイム値をデッドタイム比較用レジスタ 1 8 に出力する。さらに、デッドタイム比較用レジスタ 1 8 は、デッドタイム値を記憶すると共に、このデッドタイム値を比較回路 1 6 に出力する。

【 0 0 2 0 】

比較回路 1 6 は、前記タイマ値と前記デッドタイム値とを比較し、これらが一致したとき、一致を示す値をパルス 1 生成回路 2 5 に出力する。パルス 1 生成回路 2 5 は、前記一致を示す値を受け取ったとき、図 2 に示すように、パルス 1 をローレベルの電圧値（以下、“L”と記す）からハイレベルの電圧値（以下、“H”と記す）へ立ち上げる。

【 0 0 2 1 】

次に、タイマカウンタ 1 2 は、スタートしたタイマの経過時間を示すタイマ値を比較回路 1 4 に出力する。また、パルス幅設定レジスタ 2 0 は、予め設定されたパルス幅を示すパルス幅値を記憶しており、このパルス幅値をパルス幅比較用レジスタ 2 1 に出力する。さらに、パルス幅比較用レジスタ 2 1 は、パルス幅値を記憶すると共に、このパルス幅値を比較回路 1 4 に出力する。

【 0 0 2 2 】

比較回路 1 4 は、前記タイマ値と前記パルス幅値とを比較し、これらが一致したとき、一致を示す値をパルス 1 生成回路 2 5 に出力する。パルス 1 生成回路 2 5 は、前記一致を示す値を受け取ったとき、パルス 1 を“H”から“L”へ立ち下げる。

【 0 0 2 3 】

次に、タイマカウンタ 1 2 は、スタートしたタイマの経過時間を示すタイマ値

を比較回路 1 5 に出力する。また、デッドタイム設定レジスタ 1 7 は、デッドタイム値を加算器 1 9 に出力する。パルス幅設定レジスタ 2 0 は、パルス幅値を加算器 1 9 に出力する。加算器 1 9 は、受け取ったデッドタイム値とパルス幅値とを加算して、その加算値をパルス 2 の前縁比較用レジスタ 2 2 に出力する。さらに、前縁比較用レジスタ 2 2 は、加算値を記憶すると共に、この加算値を比較回路 1 5 に出力する。

【 0 0 2 4 】

比較回路 1 5 は、前記タイマ値と前記加算値とを比較し、これらが一致したとき、一致を示す値をパルス 2 生成回路 2 6 に出力する。パルス 2 生成回路 2 6 は、前記一致を示す値を受け取ったとき、パルス 2 を“L”から“H”へ立ち上げる。

【 0 0 2 5 】

次に、タイマカウンタ 1 2 は、スタートしたタイマの経過時間を示すタイマ値を比較回路 1 3 に出力する。また、タイマ周期設定レジスタ 2 3 は、予め設定されたパルス 2 の後縁（タイマ周期）を示す後縁値を記憶しており、この後縁値をタイマ周期比較用レジスタ 2 4 に出力する。さらに、比較用レジスタ 2 4 は、後縁値を記憶すると共に、この後縁値を比較回路 1 3 に出力する。

【 0 0 2 6 】

比較回路 1 3 は、前記タイマ値と前記後縁値とを比較し、これらが一致したとき、一致を示す値をパルス 2 生成回路 2 6 に出力する。パルス 2 生成回路 2 6 は、前記一致を示す値を受け取ったとき、パルス 2 を“H”から“L”へ立ち下げる。比較回路 1 3 は、また、前記一致を示す値をタイマカウンタ制御回路 1 1 に出力する。タイマカウンタ制御回路 1 1 は、一致を示す値を受け取ったとき、タイマカウンタ 1 2 のタイマをリセットして再スタートさせる。半導体集積回路は、以上の動作を繰り返す。

【 0 0 2 7 】

前述したように、この第 1 の実施の形態では、デッドタイム設定レジスタ 1 7 の値と、パルス幅設定レジスタ 2 0 の値が加算器 1 9 により演算（加算）される。加算器 1 9 による演算結果（加算値）は、パルス 2 の前縁比較用レジスタ 2 2

を介して比較回路 1 5 に転送される。そして、比較回路に転送された演算結果は、タイマカウンタ 1 2 から出力された値と比較され、パルス 2 の前縁を設定するために使用される。

【 0 0 2 8 】

このように構成された半導体集積回路は、図 1 2 に示した従来例 1 の波形生成回路装置において、デッドタイムを計測するデッドタイムカウンタ 1 0 1 と、これを制御する制御回路 1 0 5 が削除され、加算器 1 9、前縁比較用レジスタ 2 2、及び比較回路 1 5 が追加されている。これにより、回路規模を縮小できると共に、デッドタイムを有するパルス波形が生成できる。すなわち、周期共通で複数のパルス波形を生成する半導体集積回路において、回路規模を増大することなく、パルス波形生成における設計の自由度を向上できる。

【 0 0 2 9 】

さらに、前述したように、パルス 2 の前縁比較用レジスタ 2 2、及び比較回路 1 5 が追加されている。これにより、周期共通で複数のパルス波形を生成する機能の自由度を広げることが容易となる。

【 0 0 3 0 】

以上説明したようにこの第 1 の実施の形態によれば、デッドタイムを示す値とパルス幅を示す値とを加算し、この加算値をパルス 2 の前縁を設定するために用いることにより、回路規模を縮小しつつ、デッドタイムを有するパルス波形の生成における設計の自由度を向上できる。

【 0 0 3 1 】

〔第 2 の実施の形態〕

次に、この発明の第 2 の実施の形態の半導体集積回路について説明する。図 3 は、第 2 の実施の形態の半導体集積回路の構成を示すブロック図である。

【 0 0 3 2 】

この第 2 の実施の形態の半導体集積回路は、図 1 に示した第 1 の実施の形態の構成に加えて、パルス 2 の前縁を設定するための前縁設定レジスタ 2 7、及びセレクタ 2 8 を有するものである。パルス 2 の前縁比較用レジスタ 2 2 への転送値を、前縁設定レジスタ 2 7 の値と加算器 1 9 の演算結果とからセレクタ 2 8 によ

り選択できるようにする。前記第 1 の実施の形態における構成と同様の部分には、同じ符号を付してその説明は省略する。

【0033】

図 3 に示すように、加算器 19 と前縁比較用レジスタ 22 との間にはセクタ 28 が配置されている。セクタ 28 には、パルス 2 の前縁を設定するための前縁設定レジスタ 27 が接続されている。セクタ 28 は、加算器 19 の出力と前縁設定レジスタ 27 の出力のうち、いずれかを選択して前縁比較用レジスタ 22 に出力する。

【0034】

次に、第 2 の実施の形態の半導体集積回路の動作を説明する。

【0035】

前記半導体集積回路において、デッドタイムを有する波形を生成するときのタイミングチャートを図 4、図 5 に示す。図 4 は、セクタ 28 にて加算器 19 の出力を選択した場合のタイミングチャートであり、図 5 はセクタ 28 にて前縁設定レジスタ 27 の出力を選択した場合のタイミングチャートである。パルス 2 の前縁は、以下のように設定される。

【0036】

タイマカウンタ 12 は、スタートしたタイマの経過時間を示すタイマ値を比較回路 15 に出力する。また、デッドタイム設定レジスタ 17 は、デッドタイム値を加算器 19 に出力する。パルス幅設定レジスタ 20 は、パルス幅値を加算器 19 に出力する。加算器 19 は、受け取ったデッドタイム値とパルス幅値とを加算して、その加算値をセクタ 28 に出力する。

【0037】

また、パルス 2 の前縁設定レジスタ 27 は、予め設定されたパルス 2 の前縁を示す前縁値を記憶しており、この前縁値をセクタ 28 に出力する。セクタ 28 は、前記加算値と前縁値のいずれかの値を選択して、パルス 2 の前縁比較用レジスタ 22 に出力する。前縁比較用レジスタ 22 は、入力された前記加算値と前縁値のいずれかの値を記憶すると共に、このいずれかの値を比較回路 15 に出力する。比較回路 15 は、前記加算値及び前縁値のいずれかの値と前記タイマ値と

、を比較し、これらが一致したとき、一致を示す値をパルス 2 生成回路 2 6 に出力する。パルス 2 生成回路 2 6 は、一致を示す値を受け取ったとき、パルス 2 を “L” から “H” へ立ち上げる。その他の半導体集積回路の動作は、前記第 1 の実施の形態と同様である。

【0038】

前述したように、この第 2 の実施の形態では、デッドタイム設定レジスタ 1 7 のデッドタイム値と、パルス幅設定レジスタ 2 0 のパルス幅値が加算器 1 9 により演算（加算）され、この演算結果（加算値）がセクタ 2 8 に入力される。また、前縁設定レジスタ 2 7 の前縁値は、セクタ 2 8 に入力される。その後、セクタ 2 8 に入力された演算結果と前縁値のうち、いずれかの値がセクタ 2 8 により選択され、パルス 2 の前縁比較用レジスタ 2 2 を介して比較回路 1 5 に転送される。そして、比較回路 1 5 に転送された値は、タイマカウンタ 1 2 から出力された値と比較され、パルス 2 の前縁を設定するために使用される。

【0039】

このように、パルス 2 の前縁を選択して設定できるようにすることにより、周期共通で 2 種類以上のパルス波形を生成する場合の波形生成の自由度を向上させることができる。さらに、同様の機能を実現した図 1 4 に示した従来例 2 と比べて、回路規模を低減できる。

【0040】

以上説明したようにこの第 2 の実施の形態によれば、デッドタイムを示す値とパルス幅を示す値とを加算器 1 9 により加算した加算値と、レジスタ 2 7 に記憶されたパルス 2 の前縁を示す値のうち、いずれかの値を選択してパルス 2 の前縁を設定するために用いることにより、回路規模を増大することなく、周期共通で 2 種類以上のパルス波形を生成する場合の波形生成の自由度を向上できる。

【0041】

[第 3 の実施の形態]

次に、この発明の第 3 の実施の形態の半導体集積回路について説明する。図 6 は、第 3 の実施の形態の半導体集積回路の構成を示すブロック図である。

【0042】

この第 3 の実施の形態の半導体集積回路は、図 1 に示した第 1 の実施の形態の構成において、パルス幅設定レジスタ 2 0 に替えて、デューティ設定レジスタ 2 9、及び割り算回路 3 0 を追加したものである。さらに、割り算回路 3 0 には、タイマ周期設定レジスタ 2 3 に記憶されたパルス 2 の後縁（タイマ周期）を示す後縁値が入力されている。割り算回路 3 0 は、周期設定レジスタ 2 3 の後縁値とデューティ設定レジスタの値とから、デューティ（パルス幅）を演算する。前記第 1 の実施の形態における構成と同様の部分には、同じ符号を付してその説明は省略する。

【 0 0 4 3 】

図 6 に示すように、デューティ設定レジスタ 2 9 の出力は、割り算回路 3 0 に入力されている。割り算回路 3 0 には、また、タイマ周期設定レジスタ 2 3 の出力が入力されている。この割り算回路 3 0 の出力は、パルス幅比較用レジスタ 2 1 に入力されると共に、加算器 1 9 に入力されている。

【 0 0 4 4 】

次に、第 3 の実施の形態の半導体集積回路の動作を説明する。

【 0 0 4 5 】

前記半導体集積回路において、デッドタイムを有する波形を生成するときのタイミングチャートを図 7 に示す。パルス 1 の後縁は、以下のように設定される。

【 0 0 4 6 】

タイマカウンタ 1 2 は、スタートしたタイマの経過時間を示すタイマ値を比較回路 1 4 に出力する。また、割り算回路 3 0 には、タイマ周期設定レジスタ 2 3 に記憶されたパルス 2 の後縁（タイマ周期）を示す後縁値が入力されている。割り算回路 3 0 は、入力された後縁値を、デューティ設定レジスタ 2 9 に記憶された設定値にて割り算し、デューティ（パルス幅）を示すデューティ値を求める。そして、求めたデューティ値をパルス幅比較用レジスタ 2 1 に出力する。

【 0 0 4 7 】

さらに、パルス幅比較用レジスタ 2 1 は、デューティ値を記憶すると共に、このデューティ値を比較回路 1 4 に出力する。比較回路 1 4 は、前記タイマ値と前記デューティ値とを比較し、これらが一致したとき、一致を示す値をパルス 1 生

成回路 2 5 に出力する。パルス 1 生成回路 2 5 は、一致を示す値を受け取ったとき、パルス 1 を “H” から “L” へ立ち下げる。

【 0 0 4 8 】

次に、タイマカウンタ 1 2 は、スタートしたタイマの経過時間を示すタイマ値を比較回路 1 5 に出力する。また、デッドタイム設定レジスタ 1 7 は、デッドタイム値を加算器 1 9 に出力する。割り算回路 3 0 は、求めたデューティ値を加算器 1 9 に出力する。加算器 1 9 は、受け取ったデッドタイム値とデューティ値とを加算して、その加算値をパルス 2 の前縁比較用レジスタ 2 2 に出力する。

【 0 0 4 9 】

さらに、前縁比較用レジスタ 2 2 は、加算値を記憶すると共に、この加算値を比較回路 1 5 に出力する。比較回路 1 5 は、前記タイマ値と前記加算値とを比較し、これらが一致したとき、一致を示す値をパルス 2 生成回路 2 6 に出力する。パルス 2 生成回路 2 6 は、一致を示す値を受け取ったとき、パルス 2 を “L” から “H” へ立ち上げる。その他の半導体集積回路の動作は、前記第 1 の実施の形態と同様である。

【 0 0 5 0 】

前述したように、この第 3 の実施の形態では、タイマ周期設定レジスタ 2 3 のタイマ周期を示す値と、デューティ設定レジスタ 2 9 の設定値とが割り算回路 3 0 により演算（割り算）され、この演算結果がパルス幅比較用レジスタ 2 1 を介して比較回路 1 4 に転送される。そして、比較回路 1 4 に転送された値は、タイマカウンタ 1 2 から出力された値と比較され、パルス 1 の後縁を設定するために使用される。

【 0 0 5 1 】

このように構成された半導体集積回路では、図 8 に示すように、デューティ設定レジスタ 2 9 に設定された周期比較値の設定を変更するだけで、デューティが一定で、デッドタイムを持つ周期変調波形を生成することができる。これにより、デューティ計算に必要な CPU の処理負荷を低減できる。なお、図 8 中の D T R はデッドタイム設定レジスタを示し、P W R はパルス幅設定レジスタを、T P R はタイマ周期設定レジスタを示している。図 8 に示した設定例は、デューティ

が 5 0 %、デッドタイムが 2 0 h の条件において、周期を 8 0 0 0 h → A 0 0 0 h → C 0 0 0 h に変化させた場合である。

【 0 0 5 2 】

以上説明したようにこの第 3 の実施の形態によれば、割り算回路 3 0 により、タイマ周期設定レジスタ 2 3 のタイマ周期を示す値を、デューティ設定レジスタ 2 9 の設定値で割り算して、デューティを求める。このデューティを、パルス 1 の後縁を設定するために用いることにより、デューティが一定で、かつデッドタイムを持つ周期変調のパルス波形を生成することができる。さらに、回路規模を増大することなく、周期共通で 2 種類以上のパルス波形を生成する場合の波形生成の自由度を向上できる。

【 0 0 5 3 】

[第 4 の実施の形態]

次に、この発明の第 4 の実施の形態の半導体集積回路について説明する。図 9 は、第 4 の実施の形態の半導体集積回路の構成を示すブロック図である。

【 0 0 5 4 】

この第 4 の実施の形態の半導体集積回路は、図 1 に示した第 1 の実施の形態の構成において、パルス幅設定レジスタ 2 0 とパルス幅比較用レジスタ 2 1 との間にセレクタ 3 1 を配置し、このセレクタ 3 1 にデューティ設定レジスタ 2 9、及び割り算回路 3 0 を接続したものである。また、割り算回路 3 0 には、タイマ周期設定レジスタ 2 3 に記憶されたパルス 2 の後縁（タイマ周期）が入力され、加算器 1 9 にはセレクタ 3 1 の出力が入力されている。前記第 1 の実施の形態における構成と同様の部分には、同じ符号を付してその説明は省略する。

【 0 0 5 5 】

図 9 に示すように、パルス幅設定レジスタ 2 0 とパルス幅比較用レジスタ 2 1 との間にはセレクタ 3 1 が配置されている。デューティ設定レジスタ 2 9 の出力は、割り算回路 3 0 に入力されており、この割り算回路 3 0 の出力はセレクタ 3 1 に入力されている。セレクタ 3 1 の出力は、パルス幅比較用レジスタ 2 1 に入力されると共に、加算器 1 9 に入力されている。また、割り算回路 3 0 には、タイマ周期設定レジスタ 2 3 の出力が入力されている。

【 0 0 5 6 】

次に、第 4 の実施の形態の半導体集積回路の動作を説明する。パルス 1 の後縁、及びパルス 2 の前縁は、以下のように設定される。

【 0 0 5 7 】

タイマカウンタ 1 2 は、スタートしたタイマの経過時間を示すタイマ値を比較回路 1 4 に出力する。また、割り算回路 3 0 には、タイマ周期設定レジスタ 2 3 に記憶されたパルス 2 の後縁（タイマ周期）を示す後縁値が入力されている。割り算回路 3 0 は、入力された後縁値を、デューティ設定レジスタ 2 9 に記憶された設定値にて割り算し、デューティ（パルス幅）を示すデューティ値を求める。そして、デューティ値をセクタ 3 1 に出力する。また、パルス幅設定レジスタ 2 0 は、パルス幅値をセクタ 3 1 に出力する。

【 0 0 5 8 】

セクタ 3 1 は、前記デューティ値とパルス幅値のいずれかの値（選択値）を選択して、パルス幅比較用レジスタ 2 1 に出力する。さらに、パルス幅比較用レジスタ 2 1 は、前記選択値を記憶すると共に、この選択値を比較回路 1 4 に出力する。比較回路 1 4 は、前記タイマ値と前記選択値とを比較し、これらが一致したとき、一致を示す値をパルス 1 生成回路 2 5 に出力する。パルス 1 生成回路 2 5 は、一致を示す値を受け取ったとき、パルス 1 を“H”から“L”へ立ち下げる。

【 0 0 5 9 】

次に、タイマカウンタ 1 2 は、スタートしたタイマの経過時間を示すタイマ値を比較回路 1 5 に出力する。また、デッドタイム設定レジスタ 1 7 は、デッドタイム値を加算器 1 9 に出力する。セクタ 3 1 は、前記後縁値とパルス幅値のいずれかの値（選択値）を加算器 1 9 に出力する。加算器 1 9 は、受け取ったデッドタイム値と前記選択値とを加算して、その加算値をパルス 2 の前縁比較用レジスタ 2 2 に出力する。

【 0 0 6 0 】

さらに、前縁比較用レジスタ 2 2 は、入力された前記加算値を記憶すると共に、この加算値を比較回路 1 5 に出力する。比較回路 1 5 は、前記タイマ値と前記

加算値とを比較し、これらが一致したとき、一致を示す値をパルス 2 生成回路 26 に出力する。パルス 2 生成回路 26 は、一致を示す値を受け取ったとき、パルス 2 を “L” から “H” へ立ち上げる。その他の半導体集積回路の動作は、前記第 1 の実施の形態と同様である。

【0061】

前述したように、パルス幅設定レジスタ 20 のパルス幅値と割り算回路 30 の演算結果のうちのいずれかをセレクタ 31 にて選択して、加算器 19 とパルス幅比較用レジスタ 21 に出力している。さらに、デッドタイム設定レジスタ 17 のデッドタイム値とセレクタ 31 の出力とを加算器 19 にて加算して、パルス 2 の前縁比較用レジスタ 22 に出力している。これにより、回路規模を増大することなく、周期共通で 2 種類以上のパルス波形を生成する場合の波形生成の自由度を向上させることができる。さらに、前記第 3 の実施の形態と同様の効果が得られる。

【0062】

〔第 5 の実施の形態〕

次に、この発明の第 5 の実施の形態の半導体集積回路について説明する。図 10 は、第 5 の実施の形態の半導体集積回路の構成を示すブロック図である。

【0063】

この第 5 の実施の形態の半導体集積回路は、図 9 に示した第 4 の実施の形態の構成に加えて、パルス 2 の前縁を設定するための前縁設定レジスタ 27、及びセレクタ 28 を有するものである。パルス 2 の前縁比較用レジスタ 22 への転送値を、前縁値設定レジスタ 27 の値と加算器 19 の演算結果とから、セレクタ 28 により選択できるようにする。前記第 4 の実施の形態における構成と同様の部分には、同じ符号を付してその説明は省略する。

【0064】

図 10 に示すように、加算器 19 と前縁比較用レジスタ 22 との間にはセレクタ 28 が配置されている。また、前縁設定レジスタ 27 の出力は、セレクタ 28 に入力されている。

【0065】

次に、第 5 の実施の形態の半導体集積回路の動作を説明する。パルス 1 の後縁、及びパルス 2 の前縁は、以下のように設定される。

【 0 0 6 6 】

タイマカウンタ 1 2 は、スタートしたタイマの経過時間を示すタイマ値を比較回路 1 4 に出力する。また、割り算回路 3 0 には、タイマ周期設定レジスタ 2 3 に記憶されたパルス 2 の後縁（タイマ周期）を示す後縁値が入力されている。割り算回路 3 0 は、入力された後縁値を、デューティ設定レジスタ 2 9 に記憶された設定値にて割り算し、デューティ（パルス幅）を示すデューティ値を求める。そして、デューティ値をセクタ 3 1 に出力する。また、パルス幅設定レジスタ 2 0 は、パルス幅値をセクタ 3 1 に出力する。

【 0 0 6 7 】

セクタ 3 1 は、前記デューティ値とパルス幅値のいずれかの値（選択値）を選択して、パルス幅比較用レジスタ 2 1 に出力する。さらに、パルス幅比較用レジスタ 2 1 は、前記選択値を記憶すると共に、この選択値を比較回路 1 4 に出力する。比較回路 1 4 は、前記タイマ値と前記選択値とを比較し、これらが一致したとき、一致を示す値をパルス 1 生成回路 2 5 に出力する。パルス 1 生成回路 2 5 は、一致を示す値を受け取ったとき、パルス 1 を“H”から“L”へ立ち下げる。

【 0 0 6 8 】

次に、タイマカウンタ 1 2 は、スタートしたタイマの経過時間を示すタイマ値を比較回路 1 5 に出力する。また、デッドタイム設定レジスタ 1 7 は、デッドタイム値を加算器 1 9 に出力する。セクタ 3 1 は、前記後縁値とパルス幅値のいずれかの値（選択値）を加算器 1 9 に出力する。加算器 1 9 は、受け取ったデッドタイム値と前記選択値とを加算して、その加算値をセクタ 2 8 に出力する。パルス 2 の前縁値設定レジスタ 2 7 は、予め設定されたパルス 2 の前縁を示す前縁値を記憶しており、この前縁値をセクタ 2 8 に出力する。セクタ 2 8 は、前記加算値と前縁値のいずれかの値を選択して、パルス 2 の前縁比較用レジスタ 2 2 に出力する。

【 0 0 6 9 】

さらに、前縁比較用レジスタ 2 2 は、入力された前記加算値と前縁値のいずれかの値を記憶すると共に、このいずれかの値を比較回路 1 5 に出力する。比較回路 1 5 は、前記タイマ値と、前記加算値と前縁値のいずれかの値とを比較し、これらが一致したとき、一致を示す値をパルス 2 生成回路 2 6 に出力する。パルス 2 生成回路 2 6 は、一致を示す値を受け取ったとき、パルス 2 を“L”から“H”へ立ち上げる。その他の半導体集積回路の動作は、前記第 4 の実施の形態と同様である。

【 0 0 7 0 】

前述したように、パルス幅設定レジスタ 2 0 のパルス幅値と割り算回路 3 0 の演算結果のうちのいずれかをセクタ 3 1 にて選択して、加算器 1 9 とパルス幅比較用レジスタ 2 1 に出力している。さらに、前縁設定レジスタ 2 7 の値と加算器 1 9 の加算値のうちのいずれかをセクタ 2 8 にて選択して、パルス 2 の前縁比較用レジスタ 2 2 に出力している。これにより、回路規模を増大することなく、周期共通で 2 種類以上のパルス波形を生成する場合の波形生成の自由度を向上させることができる。

【 0 0 7 1 】

〔第 6 の実施の形態〕

次に、この発明の第 6 の実施の形態の半導体集積回路について説明する。図 1 1 は、第 6 の実施の形態の半導体集積回路の構成を示すブロック図である。

【 0 0 7 2 】

この第 6 の実施の形態の半導体集積回路は、図 1 0 に示した第 5 の実施の形態の構成に加えて、パルス 2 の後縁を設定するための後縁設定レジスタ 3 2、セクタ 3 3、後縁比較用レジスタ 3 4、及び比較回路 3 5 を有するものである。前記第 5 の実施の形態における構成と同様の部分には、同じ符号を付してその説明は省略する。

【 0 0 7 3 】

図 1 1 に示すように、後縁設定レジスタ 3 2 の出力は、セクタ 3 3 に入力されている。セクタ 3 3 には、タイマ周期設定レジスタの出力が入力されている。セクタ 3 3 の出力は、後縁比較用レジスタ 3 4 を介して比較回路 3 5 に入力

されている。比較回路 3 5 には、タイマカウンタ 1 2 の出力が入力されている。そして、比較回路 3 5 の出力は、パルス 2 生成回路 2 6 に入力されている。

【 0 0 7 4 】

次に、第 6 の実施の形態の半導体集積回路の動作を説明する。パルス 2 の後縁は、以下のように設定される。

【 0 0 7 5 】

タイマカウンタ 1 2 は、スタートしたタイマの経過時間を示すタイマ値を比較回路 3 5 に出力する。また、セクタ 3 3 には、タイマ周期設定レジスタ 2 3 に記憶されたタイマ周期を示す値が入力されている。セクタ 3 3 には、また、パルス 2 の後縁設定レジスタ 3 2 に記憶されたパルス 2 の後縁を示す後縁値が入力されている。

【 0 0 7 6 】

セクタ 3 3 は、前記タイマ周期を示す値と後縁値のいずれかの値（選択値）を選択して、後縁比較用レジスタ 3 4 に出力する。後縁比較用レジスタ 3 4 は、前記選択値を記憶すると共に、この選択値を比較回路 3 5 に出力する。比較回路 3 5 は、前記タイマ値と前記選択値とを比較し、これらが一致したとき、一致を示す値をパルス 2 生成回路 2 6 に出力する。パルス 2 生成回路 2 6 は、一致を示す値を受け取ったとき、パルス 2 を“H”から“L”へ立ち下げる。

【 0 0 7 7 】

また、タイマカウンタ 1 2 は、スタートしたタイマの経過時間を示すタイマ値を比較回路 1 3 に出力する。タイマ周期設定レジスタ 2 3 は、タイマ周期を示す値をタイマ周期比較用レジスタ 2 4 に出力する。比較用レジスタ 2 4 は、前記タイマ周期を示す値を記憶すると共に、この値を比較回路 1 3 に出力する。比較回路 1 3 は、入力されたタイマ周期を示す値と前記タイマ値とを比較し、これらが一致したとき、一致を示す値をタイマカウンタ制御回路 1 1 に出力する。タイマカウンタ制御回路 1 1 は、前記一致を示す値を受け取ったとき、タイマカウンタ 1 2 のタイマをリセットして再スタートさせる。

【 0 0 7 8 】

この第 6 の実施の形態では、周期を設定するために使用する回路 2 3、2 4、

1 3 と、パルス 2 の後縁を設定するために使用する回路 3 2、3 4、3 5 とを分けて配置している。これにより、パルス波形を生成する場合の波形生成の自由度を向上させることができる。

【 0 0 7 9 】

さらに、パルス 2 の後縁比較用レジスタ 3 4 への転送データとして、パルス 2 の後縁設定レジスタ 3 2 の後縁値を転送するか、タイマ周期設定レジスタ 2 3 のタイマ周期を示す値を転送するかを選択するためのセクタ 3 3 を有している。これにより、タイマ周期に対してプログラマブルにパルス波形を生成でき、回路規模を増大することなく、周期共通で 2 種類以上のパルス波形を生成する場合の波形生成の自由度を向上させることができる。

【 0 0 8 0 】

この発明の前記実施の形態では、従来のデッドタイム用カウンタを削減でき、1 つのカウンタで従来例と同一の命令数にて、デッドタイムを付加した波形を生成することができる。さらに、周期共通で、デッドタイムを持つ複数のパルス波形を生成する、従来のタイマカウンタ回路と比較すると、小規模の回路追加で多種の波形生成モードを追加することができる。

【 0 0 8 1 】

また、前記第 3 ～第 6 の実施の形態では、デューティを計算する演算器を有し、この演算器による演算結果を波形比較データとすることにより、命令によって設定する波形比較データの設定数を減らすことができる。この結果、前記命令を出す CPU の処理負荷を低減することが可能である。例えば、高速動作を必要とし、デューティが固定で周期変調の波形出力回路へ前記実施の形態を応用した場合、周期変更時のレスポンスを向上できる。

【 0 0 8 2 】

また、前述した各実施の形態はそれぞれ、単独で実施できるばかりでなく、適宜組み合わせることも可能である。

【 0 0 8 3 】

さらに、前述した各実施の形態には種々の段階の発明が含まれており、各実施の形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階

の発明を抽出することも可能である。

【 0 0 8 4 】

【発明の効果】

以上述べたようにこの発明によれば、回路規模を増大させることなく、パルス波形生成における波形生成の自由度を向上でき、さらに周期変調動作でもCPUの処理負荷が軽く、レスポンスが遅くならない半導体集積回路を提供することが可能である。

【図面の簡単な説明】

【図 1】

この発明の第 1 の実施の形態の半導体集積回路の構成を示すブロック図である。

【図 2】

前記第 1 の実施の形態の半導体集積回路におけるデッドタイムを付加した波形の出力例を示すタイミングチャートである。

【図 3】

この発明の第 2 の実施の形態の半導体集積回路の構成を示すブロック図である。

【図 4】

前記第 2 の実施の形態の半導体集積回路におけるデッドタイムを付加した波形の出力例を示すタイミングチャートである。

【図 5】

前記第 2 の実施の形態の半導体集積回路におけるデッドタイムを付加しない波形の出力例を示すタイミングチャートである。

【図 6】

この発明の第 3 の実施の形態の半導体集積回路の構成を示すブロック図である。

【図 7】

前記第 3 の実施の形態の半導体集積回路におけるデッドタイムを付加した波形の出力例を示すタイミングチャートである。

【図 8】

前記第 3 の実施の形態と従来例 1 において、レジスタに設定する命令例の比較を示す図表である。

【図 9】

この発明の第 4 の実施の形態の半導体集積回路の構成を示すブロック図である。

【図 1 0】

この発明の第 5 の実施の形態の半導体集積回路の構成を示すブロック図である。

【図 1 1】

この発明の第 6 の実施の形態の半導体集積回路の構成を示すブロック図である。

【図 1 2】

従来の波形生成回路装置の構成を示すブロック図である。

【図 1 3】

従来の前記波形生成回路装置におけるデッドタイムを付加した波形の出力例を示すタイミングチャートである。

【図 1 4】

従来の他の波形生成回路装置の構成を示すブロック図である。

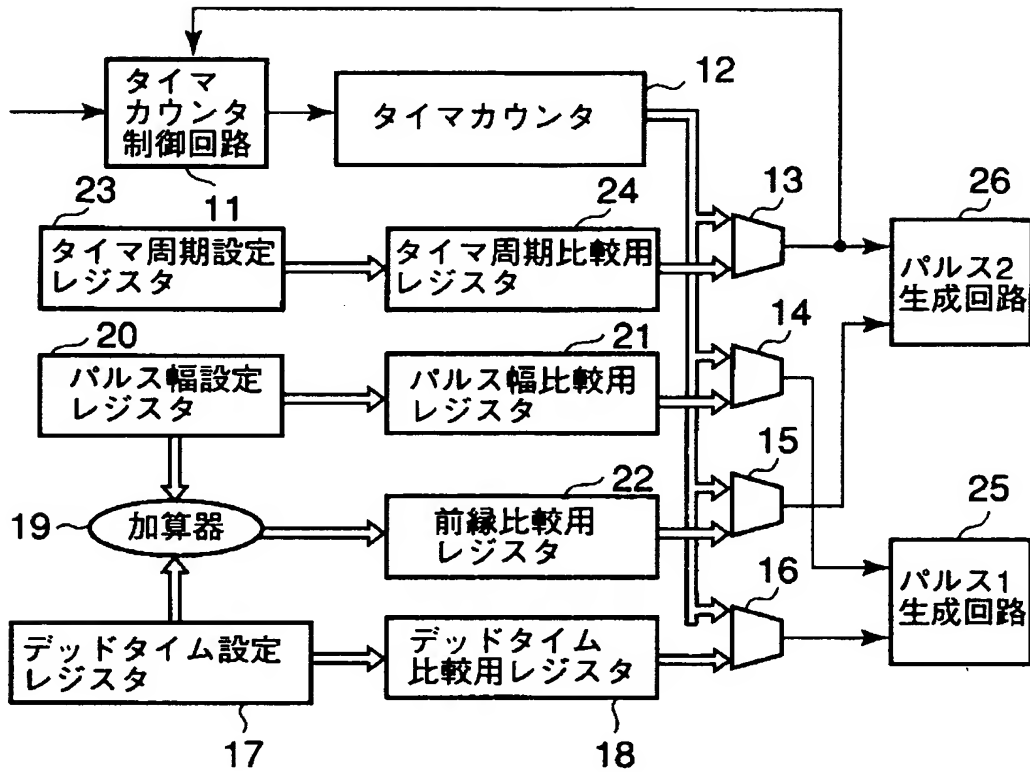
【符号の説明】

- 1 1 …タイマカウンタ制御回路
- 1 2 …タイマカウンタ
- 1 3、1 4、1 5、1 6 …比較回路
- 1 7 …デッドタイム設定レジスタ
- 1 8 …デッドタイム比較用レジスタ
- 1 9 …加算器
- 2 0 …パルス幅設定レジスタ
- 2 1 …パルス幅比較用レジスタ
- 2 2 …前縁比較用レジスタ

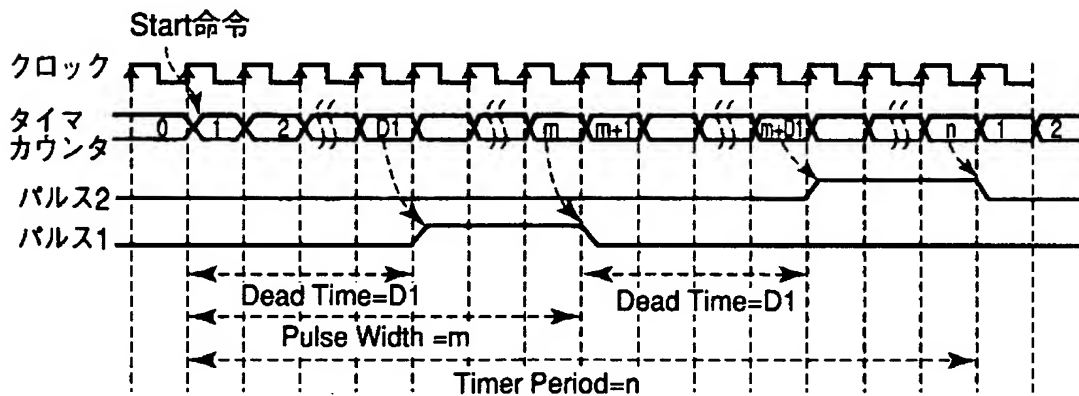
- 2 3 … タイマ周期設定レジスタ
- 2 4 … タイマ周期比較用レジスタ
- 2 5 … パルス 1 生成回路
- 2 6 … パルス 2 生成回路
- 2 7 … 前縁設定レジスタ
- 2 8 … セレクタ
- 2 9 … デューティ設定レジスタ
- 3 0 … 割り算回路
- 3 1 … セレクタ
- 3 2 … 後縁設定レジスタ
- 3 3 … セレクタ
- 3 4 … 後縁比較用レジスタ
- 3 5 … 比較回路

【書類名】 図面

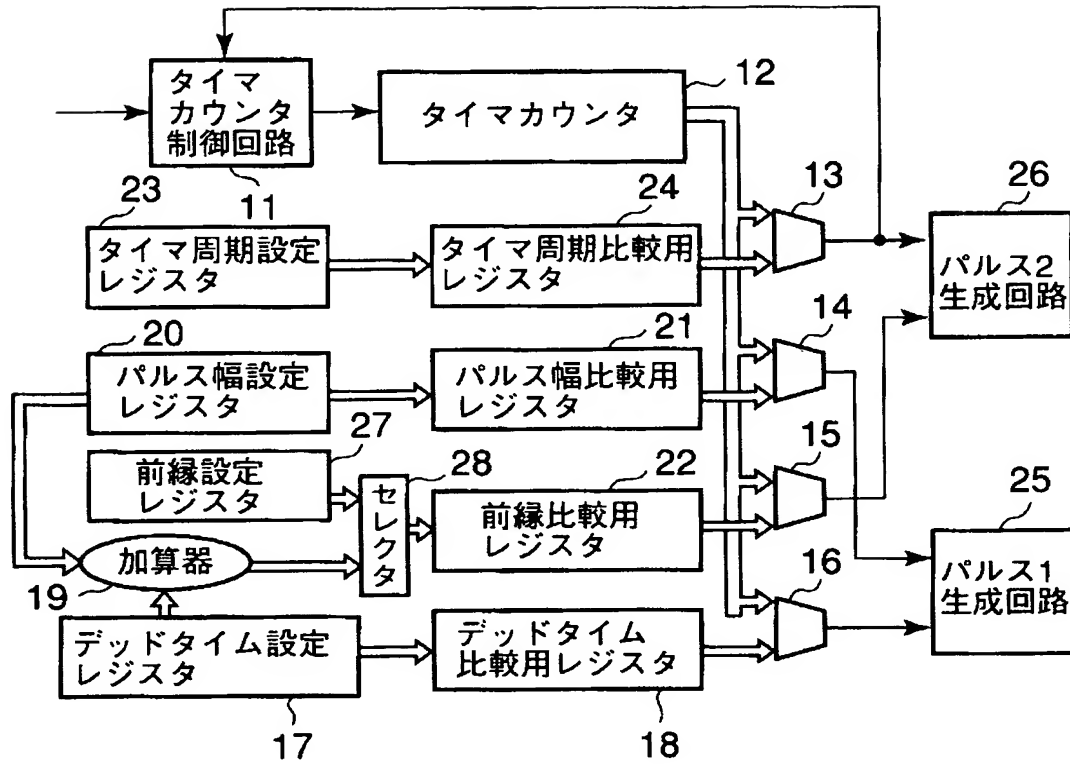
【図 1】



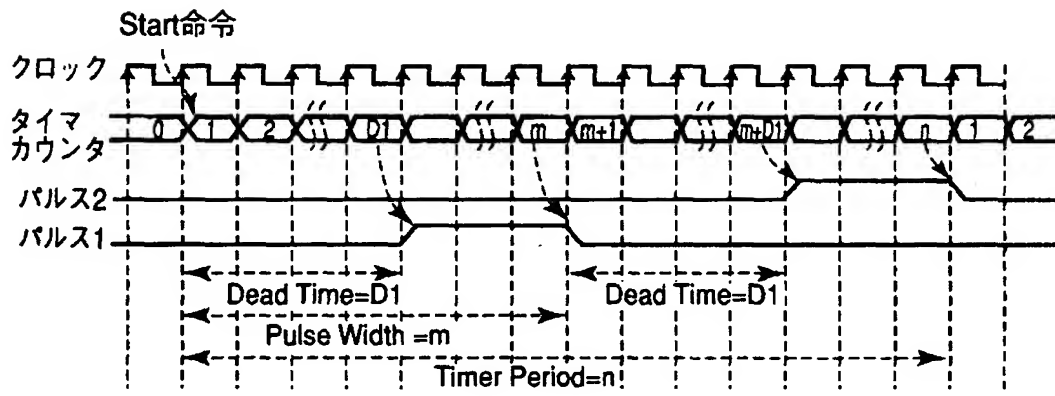
【図 2】



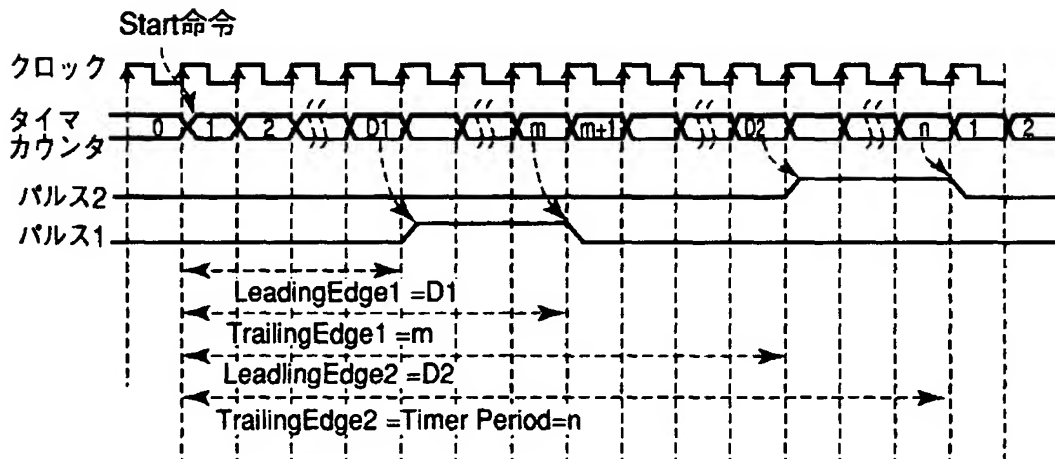
【図3】



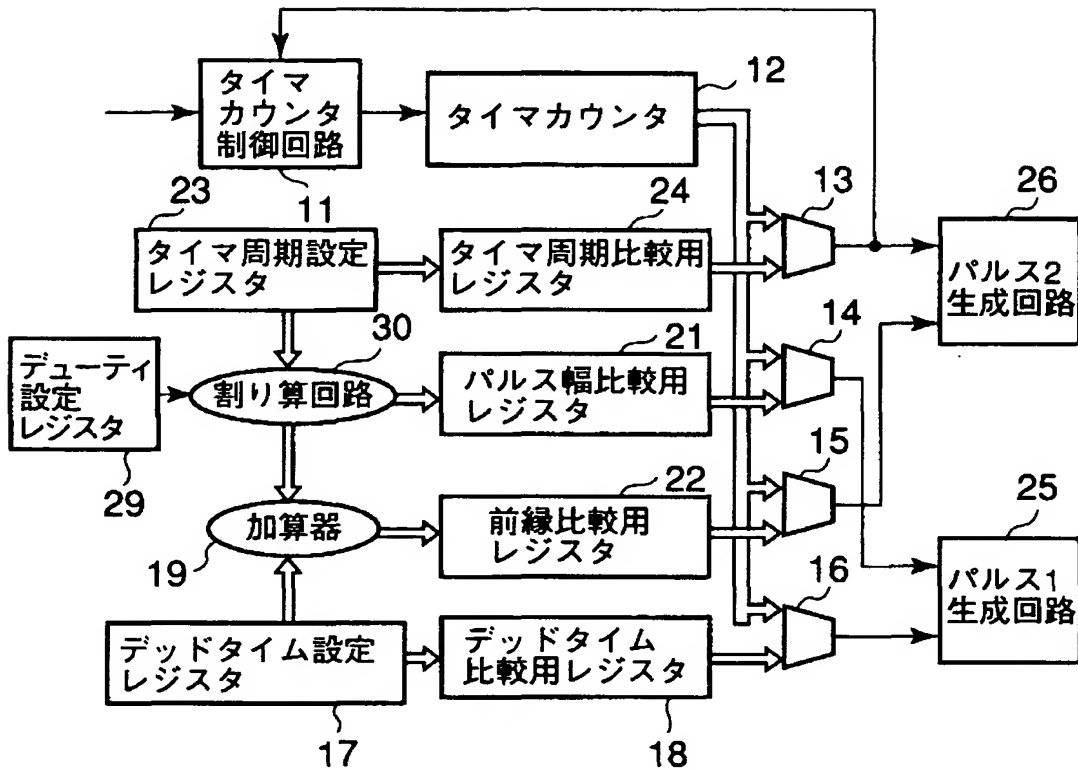
【図 4】



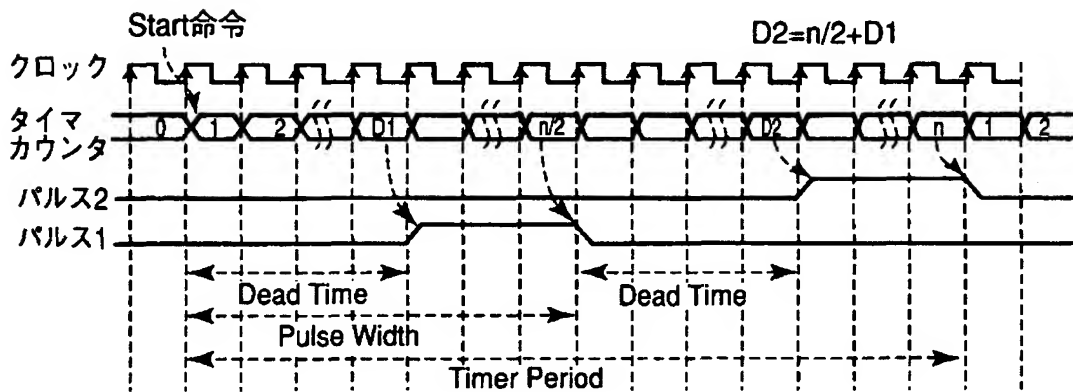
【図 5】



【図 6】



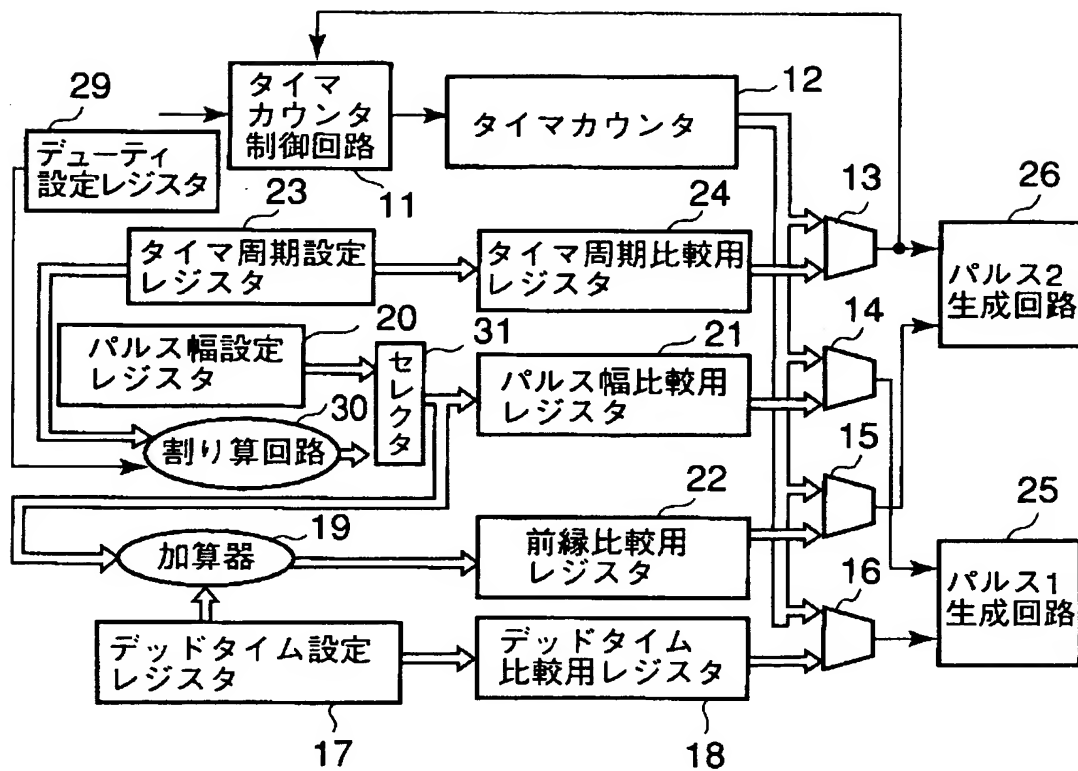
【図 7】



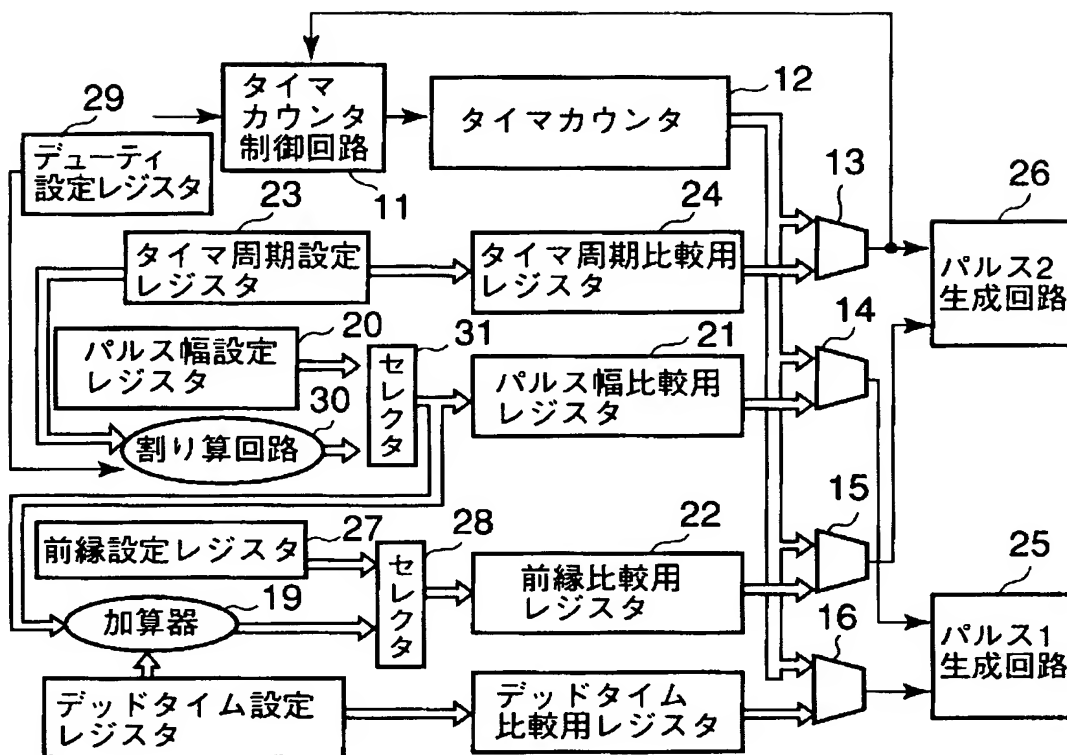
【図 8】

従来例1	第3の実施の形態
DTR ← 0020h	DTR ← 0020h
PWR ← (8000/2)h	TPR ← 8000h
TPR ← 8000h	⋮
⋮	⋮
PWR ← (A000/2)h	TPR ← A000h
TPR ← A000h	⋮
⋮	⋮
PWR ← (C000/2)h	TPR ← C000h
TPR ← C000h	⋮

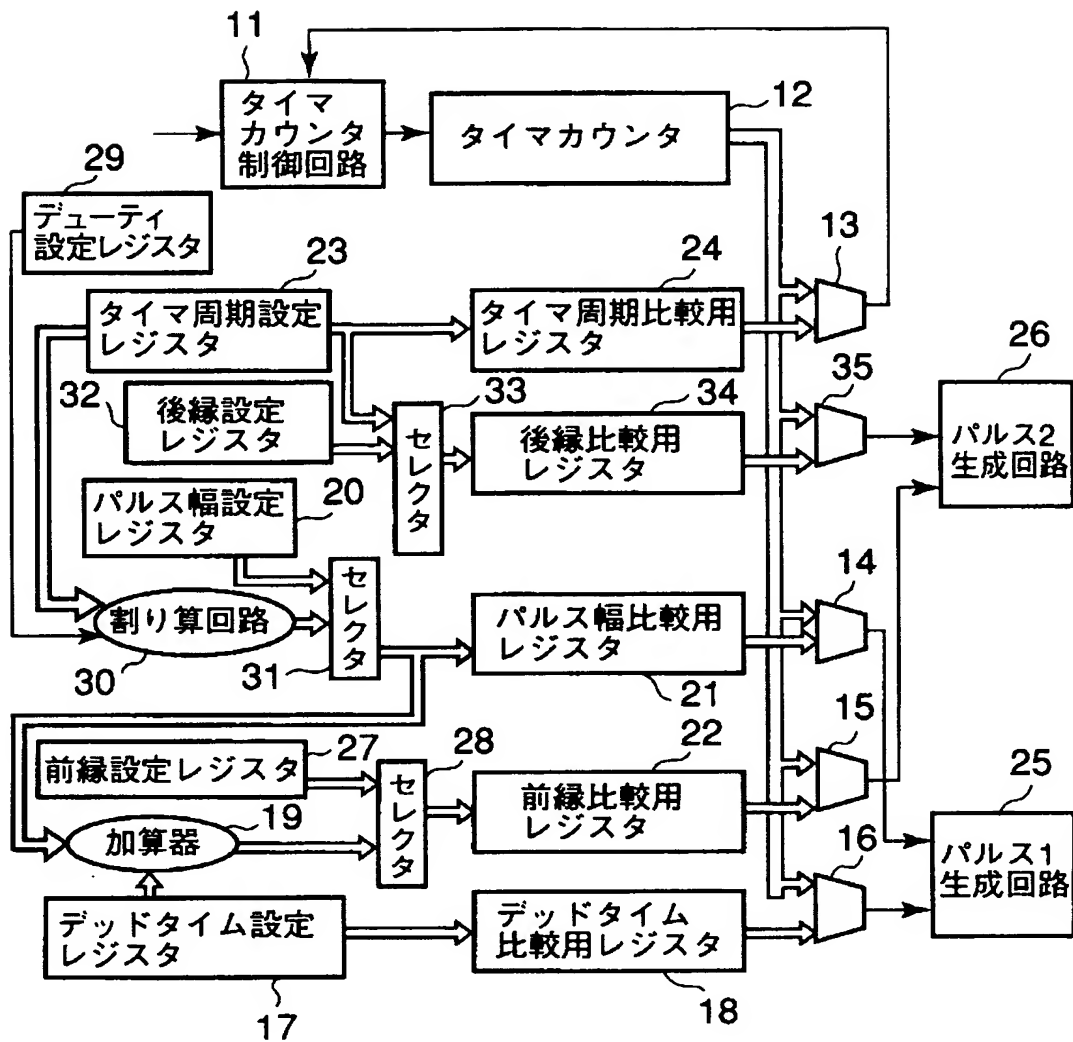
【図 9】



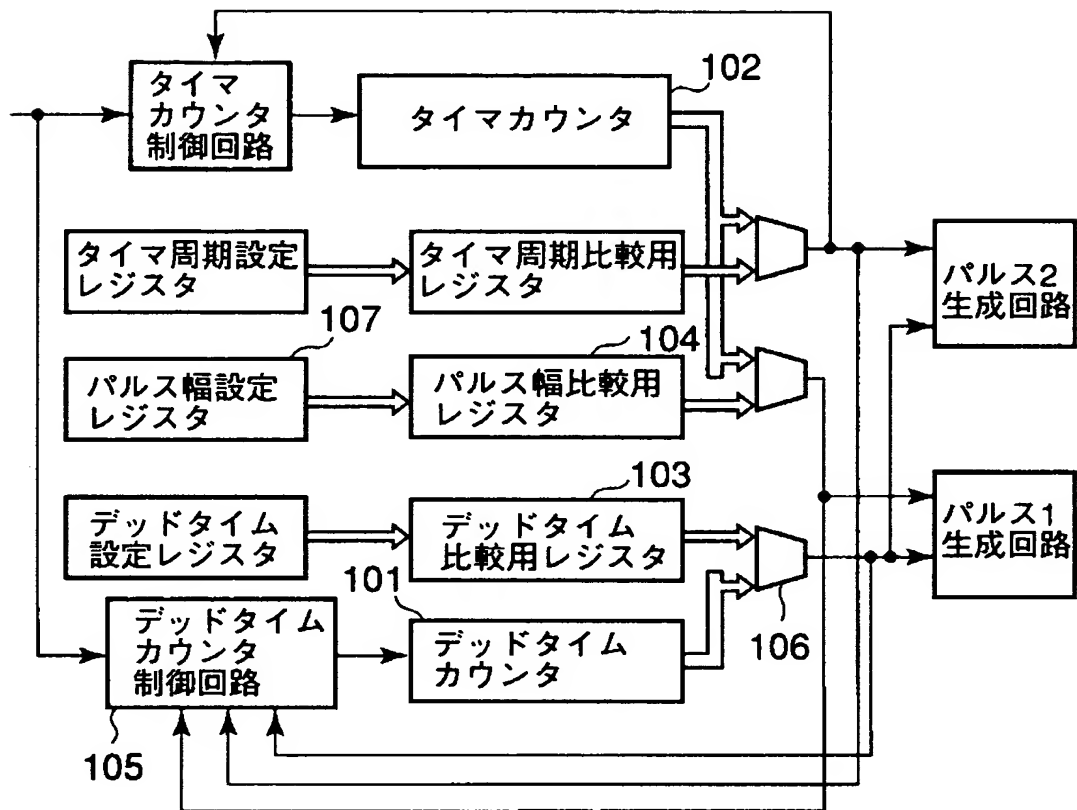
【図 10】



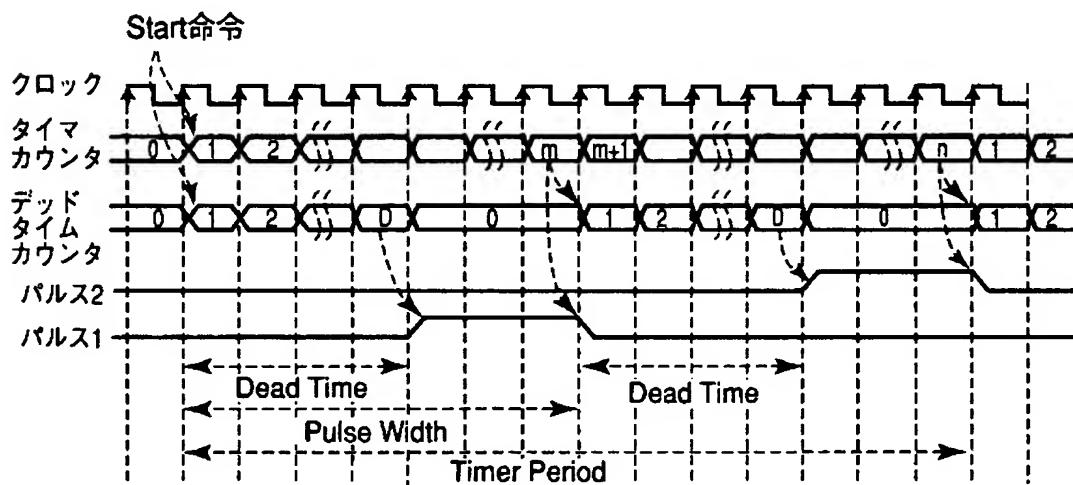
【図 11】



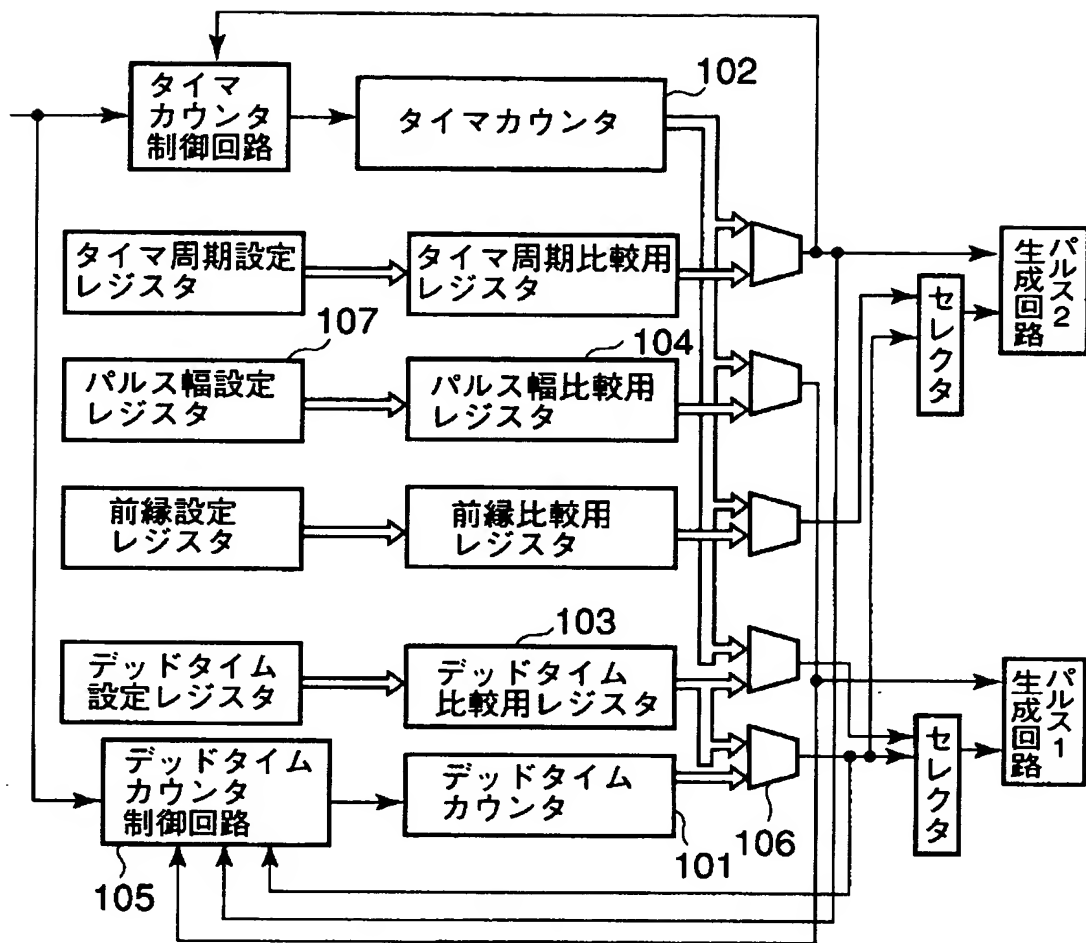
【図 1 2】



【図 1 3】



【図14】



【書類名】 要約書

【要約】

【課題】 回路規模を増大させることなく、パルス波形生成における波形生成の自由度を向上でき、さらに周期変調動作でもCPUの処理負荷が軽く、レスポンスが遅くならない半導体集積回路を提供する。

【解決手段】 デッドタイムを設定するための値を記憶するデッドタイム設定レジスタ17と、パルス幅を設定するための値を記憶するパルス幅設定レジスタ20と、前記デッドタイムを設定するための値と、前記パルス幅を設定するための値とを加算し、加算値を出力する加算器19と、経過時間をカウントし、経過時間を示すカウント値を出力するタイマカウンタ12と、タイマカウンタ12から出力された前記カウント値と、加算器19から出力された前記加算値とを比較する比較回路15と、比較回路15による比較結果に基づいて、パルス波形を生成する波形生成回路26とを有する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [598010562]

1. 変更年月日 1998年 1月23日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町580番地

氏 名 東芝エルエスアイシステムサポート株式会社

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝